

【特許請求の範囲】

【請求項1】 入力信号をクロック信号で標準化する標準化手段と、

前記標準化手段により標準化された信号を適応的に等化する複数のタップ係数を備えた適応トランスバーサル型フィルタ手段と、

前記適応トランスバーサル型フィルタ手段の出力信号から位相誤差を検出する位相誤差検出手段と、

前記適応トランスバーサル型フィルタ手段の複数のタップ係数からタップ重心を検出するタップ重心検出手段と、

前記位相誤差検出手段の出力に前記タップ重心検出手段の出力に応じて値を加算する位相シフト手段と、

前記位相シフト手段の出力を平滑するループフィルタ手段と、

前記ループフィルタ手段の出力により発振周波数を可変して前記クロック信号を発生する発振手段とを備えた信号処理装置。

【請求項2】 タップ重心検出手段は、適応トランスバーサル型フィルタ手段の各タップ係数値の絶対値にタップごとの所定の重みを乗じて合成する演算手段を備えたことを特徴とする請求項1記載の信号処理装置。

【請求項3】 入力信号を等化する可変トランスバーサル型フィルタ手段と、

前記可変トランスバーサル型フィルタ手段の出力信号をクロック信号で標準化する標準化手段と、

前記標準化手段の出力信号に応じて前記可変トランスバーサル型フィルタ手段の複数のタップ係数を制御する適応制御手段と、

前記標準化手段の出力信号から位相誤差を検出する位相誤差検出手段と、

前記可変トランスバーサル型フィルタ手段の複数のタップ係数からタップ重心を検出するタップ重心検出手段と、

前記位相誤差検出手段の出力に前記タップ重心検出手段の出力に応じて値を加算する位相シフト手段と、

前記位相シフト手段の出力を平滑するループフィルタ手段と、

前記ループフィルタ手段の出力により発振周波数を可変して前記クロック信号を発生する発振手段とを備えた信号処理装置。

【請求項4】 タップ重心検出手段は、可変トランスバーサル型フィルタ手段の各タップ係数値の絶対値にタップごとの所定の重みを乗じて合成する演算手段を備えたことを特徴とする請求項3記載の信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、受信された信号もしくは記録媒体から再生された信号を等化するとともに、データに同期したクロック信号を発生する信号処理

装置に関する。

【0002】

【従来の技術】近年、デジタルデータを記録再生するハードディスク装置や磁気テープ装置等では、再生された信号をパーシャルレスポンス等化し、その後ビタビ復号器などにより最尤復号することでデータを検出する、いわゆるPRML (Partial Response Maximum Likelihood) 方式が用いられる。このPRML方式でデータを検出するためには、再生された信号を正確にパーシャルレスポンス等化する波形等化機能、再生されたデータに正確に同期して信号を標準化するためのクロック信号の発生機能を備える必要がある。以下に、磁気記録媒体に記録されたデジタル情報をこのようなPRML方式で再生する再生装置の信号処理部を従来例として、図面を参照して説明する。

【0003】図7は、従来のハードディスク装置の再生信号処理部のブロック図である。図7において、磁気記録媒体から再生された再生信号1は、アナログイコライザ2においてパーシャルレスポンス等化される。等化された信号は、AD変換器(ADC)3において再生データに同期したクロック信号15のタイミングで標準化およびデジタル化され、標準化信号4となる。

【0004】標準化信号4は適応イコライザ5に入力される。適応イコライザ5は、記録媒体や再生ヘッドなどの経時変化などによる特性変化に伴う等化のずれが最小になるよう、信号の状態に応じて適応的に標準化信号4を補正し、等化信号6を出力する。等化信号6は、ビタビ復号器7に入力される。ビタビ復号器7は、パーシャルレスポンスによる信号相関からビタビアルゴリズムにより最尤復号を行い、記録媒体に記録されていたデジタル情報を検出して再生データ8として出力する。

【0005】一方、標準化信号4は位相誤差検出回路9にも入力される。位相誤差検出回路9では、標準化信号4の標本点での位相誤差を検出し、位相誤差信号10を出力する。位相誤差信号10は、DA変換器(DAC)11においてアナログ信号に変換され、ループフィルタ12において平滑されて発振周波数制御信号13が得られる。発振周波数制御信号13は、可変周波数発振回路(VCO)14に入力される。可変周波数発振回路14は発振周波数制御信号13の電圧に応じた周波数で発振してクロック信号15を出力し、AD変換器3の標準化のためのクロックとして帰還される。ここで、AD変換器3、位相誤差検出回路9、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路はPLL (Phase Locked Loop) 回路を構成しており、クロック信号15は再生されたデータに位相同期したクロックとなる。

【0006】以上の構成および動作により、図7に示したハードディスク装置の再生信号処理部は、再生された信号を正確にパーシャルレスポンス等化する波形等化機

能、および再生されたデータに正確に同期して信号を標準化するためのクロック信号の発生機能を備え、PRML方式によるデータ再生が行える。

【0007】なお、このようなPRML方式による再生信号の処理の例は、例えば、J.D.Coker他著、"Implementation of PRML in a rigid disk drive"、IEEE Transactions on Magnetics、Vol.27、No.6 (1991年11月)に記載されている。

【0008】ところで、図7に示した従来の再生信号処理部では、位相誤差検出回路9により検出される位相誤差は標準化信号4の標本点での位相誤差であったが、適応イコライザ5の出力である等化信号6から位相誤差を検出した方が望ましい。これによりビタビ復号器7に入力される適応等化後の信号の位相誤差が最小になるようクロック信号15を発生でき、より正確に再生データに対する位相同期が行え、PRML方式によるデータ再生がより低い誤り率で実現できる。また、図7ではパシカルレスポンス等化の主要部分をアナログイコライザ2で行う構成であったが、等化の高精度化やLSI化の観点からはデジタル処理で等化した方が望ましい。これらの観点より、再生信号処理部を図8に示す構成で実現することが考えられる。

【0009】図8は、従来のハードディスク装置の再生信号処理部の他の構成例である。なお、先の図7と同機能のブロックおよび信号には、同一符号を付した。

【0010】図8においては、磁気記録媒体から再生された再生信号1は、AD変換器17において再生データに同期したクロック信号15のタイミングで標準化およびデジタル化され、標準化信号33となる。標準化信号33は適応イコライザ16に入力される。

【0011】適応イコライザ16は、記録から適応イコライザ16の出力に至るまでの系のインパルス応答が所定のパシカルレスポンス特性となるよう標準化信号33を等化する。さらに適応イコライザ16は、記録媒体や再生ヘッドなどの経時変化などによる特性変化に伴う等化のずれが最小になるよう信号の状態に応じて適応的に標準化信号33を等化し、等化信号6を出力する。すなわち、適応イコライザ16は、先の図7におけるアナログイコライザ2の機能と適応イコライザ5の機能とを兼ね備えたものである。

【0012】ここで、適応イコライザ16の構成例を図9に示す。図9の例では、適応イコライザを5タップのトランスバーサル型フィルタで構成している。標準化信号33は、それぞれ1データ期間だけ遅延する遅延回路18、19、20、21により順次遅延される。係数回路22は、標準化信号33に係数C(-2)を乗じる。また係数回路23は、遅延回路18の出力に係数C(-1)を乗じる。同様に、係数回路24は遅延回路19の出力に係数C(0)を、係数回路25は遅延回路20の出力に係数C(1)を、係数回路26は遅延回路21の出力に係数C

(2)をそれぞれ乗じて出力する。加算回路27は、係数回路22～26の出力の総和を求め、等化信号6として出力する。

【0013】等化信号6は適応制御回路28にも入力される。適応制御回路28は、係数回路22に対して係数C(-2)を表すタップ係数信号29aを出力する。同様に適応制御回路28は、係数回路23に対して係数C(-1)を表すタップ係数信号29bを、係数回路24に対して係数C(0)を表すタップ係数信号29cを、係数回路25に対して係数C(1)を表すタップ係数信号29dを、係数回路26に対して係数C(2)を表すタップ係数信号29eをそれぞれ出力する。この際、適応制御回路28は、等化信号6の本来あるべき信号振幅からのずれの自乗平均誤差が最小になるようそれぞれの係数を適応的に制御する。このような適応制御の方法は、LMS (Least Mean Square) アルゴリズムとして広く知られているので詳細な説明は省略する。

【0014】さて、図8に戻り、適応イコライザ16の出力である等化信号6は、ビタビ復号器7に入力される。ビタビ復号器7は、ビタビアルゴリズムにより最尤復号を行い、記録媒体に記録されていたデジタル情報を検出して再生データ8として出力する。

【0015】一方、等化信号6は位相誤差検出回路9にも入力される。位相誤差検出回路9では、等化信号6の標本点での位相誤差を検出し、位相誤差信号10を出力する。位相誤差信号10は、DA変換器11においてアナログ信号に変換され、ループフィルタ12において平滑されて発振周波数制御信号13が得られる。発振周波数制御信号13は、可変周波数発振回路(VCO)14に入力される。可変周波数発振回路14は発振周波数制御信号13の電圧に応じた周波数で発振してクロック信号15を出力し、AD変換器17の標準化のためのクロックとして帰還される。ここで、AD変換器17、適応イコライザ16、位相誤差検出回路9、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路はPLL回路を構成しており、クロック信号15は再生されたデータに位相同期したクロックとなる。

【0016】以上に述べた図8の構成では、図7の例と比べて、等化信号6から位相誤差を検出することでビタビ復号器7に入力される適応等化後の信号の位相誤差が最小になるようクロック信号15を発生でき、より正確に位相同期が行える。また、等化をデジタル処理による適応イコライザ16のみで行う構成にしたことで、等化の高精度化やLSI化が容易となる。

【0017】

【発明が解決しようとする課題】しかしながら、図8に示した構成では以下に説明する重大な課題がある。

【0018】図8の構成では、クロック信号15を発生するためのPLL回路は、上記したように、AD変換器

17、適応イコライザ16、位相誤差検出回路9、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路により構成されている。帰還路内に位置する適応イコライザ16は、各タップの係数を変化させることで信号位相を変化させる。このため、クロック信号15の位相を変化させることで等化信号6の標本点での位相誤差を無くそうとするPLLの動作と、等化信号6の本来あるべき信号振幅からのずれの自乗平均誤差が最小になるよう各タップの係数を変化させる適応イコライザ16の動作とが互いに競合し、結果的に等化信号6を劣化させてしまうことがある。

【0019】このような現象の具体的な例を、図10を用いて説明する。

【0020】図10では、等化信号6の標本点の位相を横軸とし、これに対する位相誤差検出回路9で検出される位相誤差信号10が示す位相誤差の値を直線31として示している。ここで、P1は位相誤差信号10が示す位相誤差が零となる等化信号6の位相である。すなわち、AD変換器17、適応イコライザ16、位相誤差検出回路9、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路により構成されるPLLでは、等化信号6の位相がP1になるようフィードバックがかかりクロック信号15の位相を制御する。

【0021】また、図10には、等化信号6の標本点の位相に対して、等化信号6の本来あるべき信号振幅からのずれの自乗平均誤差の変化の様子を曲線32として示しており、自乗平均誤差が最小となる等化信号6の位相をP2として示した。この自乗平均誤差は、適応イコライザ16の各タップを制御するための評価関数であり、適応イコライザ16の各タップはこの自乗平均誤差が最小となるよう制御される。

【0022】ここで、理想的条件下では、位相誤差が零となるP1と等化信号6の自乗平均誤差が最小になるP2とは一致する。しかし実際には、等化信号6に歪みや雑音が含まれ、また位相誤差検出回路9の位相誤差検出特性も必ずしも理想的なものではないため、一般には図10に示したようにP1とP2の間にわずかのずれが生じる。

【0023】この状態において、今、等化信号6の標本点の位相がP1にあるものとする。このとき、適応イコライザ16では、等化信号6の自乗平均誤差が小さくなるように、等化信号6の標本点の位相がP2に近づく方向に各タップ係数が制御される。すなわち、図9に示した適応イコライザ16の構成において、係数回路23の係数であるC(-1)、係数回路22の係数であるC(-2)の重み（ここでは絶対値の大きさ）が大きくなり、係数回路25の係数であるC(1)、係数回路26の係数であるC(2)の重みが小さくなる方向に変化する。その結果、等化信号6の標本点の位相は図10のP1からP2の方向に向けて僅かながら変化する。

【0024】すると、直線31で示した位相誤差検出回路9で検出される位相誤差信号10の値が零からずれるため、AD変換器17、適応イコライザ16、位相誤差検出回路9、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路により構成されるPLLの作用により、等化信号6の標本点の位相が再びP1になるよう、クロック信号15の発振位相が制御される。

【0025】すると今度は、適応イコライザ16では等化信号6の標本点の位相がP2に近づく方向に再び各タップ係数が制御され、タップ係数の値はC(-1)、C(-2)の重みがさらに大きくなり、C(1)、C(2)の重みがさらに小さくなる方向に変化する。その結果、等化信号6の標本点の位相は図10のP1からP2の方向に向けて再び僅かに変化する。

【0026】以下、PLLによるクロック信号15の発振位相の制御と適応イコライザ16のタップ係数の制御が同様な動作を繰り返すことにより、適応イコライザ16のタップ係数の重みの中心は、係数回路24の係数であるC(0)から係数回路23の係数であるC(-1)、係数回路22の係数であるC(-2)の方向へと、どんどん移動していく。その結果、適応イコライザ16が係数回路22～26の5タップでは十分な等化をすることができなくなってしまう。

【0027】以上のように、図8の構成では、クロック信号15を発生するためのPLLと、適応イコライザ16の動作が互いに競合し、その結果、適応イコライザ16のタップ係数の重みの中心がどんどん移動してしまい、やがて十分な等化を施すことができなくなってしまうという重大な課題がある。

【0028】そこで、本発明の目的は、適応等化後の信号から位相誤差を検出してクロック信号を発生することで正確な位相同期を実現するとともに、位相同期処理と適応等化処理の競合により等化特性が劣化してしまうことのない信号処理装置を提供することである。

【0029】また本発明の他の目的は、標本化前にアナログ処理による等化は必要とせず、等化をデジタル処理のみで行うことを可能にし、等化の高精度化やLSI化が容易な信号処理装置を提供することである。

【0030】

【課題を解決するための手段】この目的のために本発明の信号処理装置は、入力信号をクロック信号で標本化する標本化手段と、前記標本化手段により標本化された信号を適応的に等化する複数のタップ係数を備えた適応トランスバーサル型フィルタ手段と、前記適応トランスバーサル型フィルタ手段の出力信号から位相誤差を検出する位相誤差検出手段と、前記適応トランスバーサル型フィルタ手段の複数のタップ係数からタップ重心を検出するタップ重心検出手段と、前記位相誤差検出手段の出力に前記タップ重心検出手段の出力に応じて値を加算する

位相シフト手段と、前記位相シフト手段の出力を平滑するループフィルタ手段と、前記ループフィルタ手段の出力により発振周波数を可変して前記クロック信号を発生する発振手段とを備えたものである。これにより、正確な位相同期を実現するとともに、位相同期処理と適応等化処理の競合により等化特性が劣化してしまうこともない。また、等化の高精度化やLSI化が容易である。

【0031】また、本発明の他の構成による信号処理装置は、入力信号を等化する可変トランスバーサル型フィルタ手段と、前記可変トランスバーサル型フィルタ手段の出力信号をクロック信号で標本化する標本化手段と、前記標本化手段の出力信号に応じて前記可変トランスバーサル型フィルタ手段の複数のタップ係数を制御する適応制御手段と、前記標本化手段の出力信号から位相誤差を検出する位相誤差検出手段と、前記可変トランスバーサル型フィルタ手段の複数のタップ係数からタップ重心を検出するタップ重心検出手段と、前記位相誤差検出手段の出力に前記タップ重心検出手段の出力に応じて値を加算する位相シフト手段と、前記位相シフト手段の出力を平滑するループフィルタ手段と、前記ループフィルタ手段の出力により発振周波数を可変して前記クロック信号を発生する発振手段とを備えたものである。この構成では、正確な位相同期を実現するとともに位相同期処理と適応等化処理の競合により等化特性が劣化してしまうことがないという効果に加え、PLLループ内の遅延時間が短くできるため位相同期過程の応答をより早くすることができる。

【0032】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0033】（実施の形態1）本発明の実施の形態1による信号処理装置のブロック図を図1に示す。なお、先に図8に示した従来例と同一構成で同一機能のブロックおよび同一機能の信号には同じ符号を付した。

【0034】図1の実施の形態1は、標本化手段としてのAD変換器(ADC)17、適応トランスバーサル型フィルタ手段としての適応イコライザ16、位相誤差検出手段としての位相誤差検出回路9、タップ重心検出手段としてのタップ重心検出回路40、位相シフト手段としての位相シフト回路42、ループフィルタ手段としてのループフィルタ12、発振手段としての可変周波数発振回路(VCO)14を含む構成である。

【0035】この本実施の形態と図8に示した従来例と異なる点は、タップ重心検出回路40および位相シフト回路42が新たに加わっている点である。

【0036】図1において、磁気記録媒体から再生された再生信号1は、AD変換器17において再生データに同期したクロック信号15のタイミングで標本化およびデジタル化され、標本化信号33となる。標本化信号33は適応イコライザ16に入力される。適応イコライ

ザ16は、記録から適応イコライザ16の出力に至るまでの系のインパルス応答が所定のパーシャルレスポンス特性となるよう等化する。さらに適応イコライザ16は、記録媒体や再生ヘッドなどの経時変化などによる特性変化に伴う等化のずれが最小になるよう信号の状態に応じて適応的に標本化信号33を等化し、等化信号6を出力する。なお、適応イコライザ16の構成は図9に示したものと同一である。等化信号6は、ビタビ復号器7に入力される。ビタビ復号器7は、ビタビアルゴリズムにより最尤復号を行い、記録媒体に記録されていたデジタル情報を検出して再生データ8として出力する。

【0037】ここでタップ重心検出回路40について説明する。

【0038】タップ重心検出回路40には、図9に詳細な構成を示した適応イコライザ16の5つのタップ係数信号のうち、中心のタップ係数であるC(0)を表すタップ係数信号29cを除いた4つのタップ係数信号が入力される。すなわち、タップ係数C(-2)を表すタップ係数信号29a、C(-1)を表すタップ係数信号29b、C(1)を表すタップ係数信号29d、C(2)を表すタップ係数信号29eが入力される。このタップ重心検出回路40の構成を図2に示す。

【0039】図2において、タップ係数信号29a、29b、29dおよび29eは、それぞれ絶対値回路46a、46b、46dおよび46eに入力されて絶対値が求められる。さらに、絶対値回路46aの出力は係数回路47aにおいて(-2)倍されて加算回路48に入力される。また、絶対値回路46bの出力は係数回路47bにおいて(-1)倍され、絶対値回路46eの出力は係数回路47eにおいて2倍され、それぞれ加算回路48に入力される。また、絶対値回路46dの出力も加算回路48に入力される。加算回路48では4つの入力信号を加算し、その結果を信号49として出力する。その結果、信号49は、 $2|C(2)| + |C(1)| - |C(-1)| - 2|C(-2)|$ を表す信号となる。

【0040】このため信号49は、タップ係数C(1)やC(2)の絶対値がC(-1)やC(-2)の絶対値よりも大きくなると正の値となり、そのバランスの崩れ方に比例して大きな値となる。逆に、タップ係数C(-1)やC(-2)の絶対値がC(1)やC(2)の絶対値よりも大きくなると信号49は負の値となり、そのバランスの崩れ方に比例してその絶対値が大きくなる。すなわち、信号49は適応イコライザ16の5つのタップ係数の重心が、中心となるタップ係数C(0)の位置からずれている程度を表すものである。

【0041】信号49は判別回路50に入力される。判別回路50では、予め定めた正の所定の値をRとしたとき、信号49の値が-Rよりも小さいときには符号「-1」をタップ重心信号41として出力し、信号49の値がRよりも大きいときには符号「+1」をタップ重心信

号41として出力し、信号49の値が $-R$ から R までの範囲内にある場合には符号「0」をタップ重心信号41として出力する。すなわちタップ重心信号41は、適応イコライザ16の5つのタップ係数の重心が中心となるタップ係数 $C(0)$ の位置から $C(-2)$ 、 $C(-1)$ の方向に所定量以上ずれている場合には符号「-1」、タップ係数の重心が中心となるタップ係数 $C(0)$ の位置から $C(2)$ 、 $C(1)$ の方向に所定量以上ずれている場合には符号「+1」、タップ係数の重心のタップ係数 $C(0)$ の位置からのずれが所定量以内の場合には「0」となる。

【0042】さて再び図1において、等化信号6は位相誤差検出回路9にも入力される。位相誤差検出回路9では、等化信号6の標本点での位相誤差を検出し、位相誤差信号10を出力する。位相誤差信号10は、位相シフト回路42に入力される。また位相シフト回路42には、タップ重心信号41も入力されている。

【0043】この位相シフト回路42の構成を図3に示す。図3に示すように、位相シフト回路42は、選択回路51と加算回路52とから構成されている。選択回路51はタップ重心信号41により制御され、タップ重心信号41が符号「-1」の場合には $+\Delta$ (Δ は正の微小な値)を選択し、タップ重心信号41が符号「0」の場合には0を選択し、タップ重心信号41が符号「+1」の場合には $-\Delta$ を選択して出力する。加算回路52は、位相誤差信号10と選択回路51の出力とを加算し、その結果をシフト位相誤差信号43として出力する。

【0044】図1に戻り、シフト位相誤差信号43はDA変換器11においてアナログ信号に変換され、ループフィルタ12において平滑されて発振周波数制御信号13が得られる。発振周波数制御信号13は、可変周波数発振回路14に入力される。可変周波数発振回路14は発振周波数制御信号13の電圧に応じた周波数で発振してクロック信号15を出力し、AD変換器17の標本化のためのクロックとして帰還される。ここで、AD変換器17、適応イコライザ16、位相誤差検出回路9、位相シフト回路42、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路はPLL回路を構成しており、クロック信号15は再生されたデータに位相同期したクロックとなる。

【0045】さてここで、図8に示した従来例では、クロック信号15を発生するためのPLLと、適応イコライザ16の動作が互いに競合し、その結果、適応イコライザ16のタップ係数の重みの中心が大きく移動してしまい、十分な等化を施すことができなくなってしまうという重大な課題があった。本実施の形態では、タップ重心検出回路40および位相シフト回路42の動作によりそのような現象が生じない。以下に具体的に説明する。

【0046】図4(a)および(b)は、等化信号6の標本点の位相を横軸とし、これに対するシフト位相誤差信号43が示す位相誤差の値を直線55a、55b、55c

として示している。ここで、直線55aはタップ重心信号41が符号「-1」の場合であり、等化信号6の標本点の位相が $P1-\Delta$ のときにシフト位相誤差信号43が零となる。また、直線55bはタップ重心信号41が符号「0」の場合であり、等化信号6の標本点の位相が $P1$ のときにシフト位相誤差信号43が零となる。さらに、直線55cはタップ重心信号41が符号「+1」の場合であり、等化信号6の標本点の位相が $P1+\Delta$ のときにシフト位相誤差信号43が零となる。

【0047】したがって、AD変換器17、適応イコライザ16、位相誤差検出回路9、位相シフト回路42、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路により構成されるPLLで位相ロックする点は、タップ重心信号41が符号「-1」の場合には等化信号6の位相が $P1-\Delta$ になる点であり、タップ重心信号41が符号「0」の場合には等化信号6の位相が $P1$ になる点であり、タップ重心信号41が符号「+1」の場合には等化信号6の位相が $P1+\Delta$ になる点である。

【0048】また、図4には、等化信号6の標本点の位相に対して、等化信号6の本来あるべき信号振幅からのずれの自乗平均誤差の変化の様子を曲線32として示しており、自乗平均誤差が最小となる等化信号6の位相を $P2$ として示した。この自乗平均誤差は、適応イコライザ16の各タップを制御するための評価関数であり、適応イコライザ16の各タップはこの自乗平均誤差が最小となるよう制御される。ここで、理想的条件下では $P1$ と $P2$ とは一致する。しかし前述したように、実際には $P1$ と $P2$ の間に僅かのずれが生じる。なお、図4(a)は $P2 < P1$ の例であり、図4(b)は $P2 > P1$ の例である。

【0049】今、図4(a)に示すように $P2 < P1$ であるものとし、適応イコライザ16のタップ係数の重心はタップ係数 $C(0)$ の位置からのずれが所定量以内にありタップ重心信号41は符号「0」となっているものとする。このとき、シフト位相誤差信号43は直線55bで示すようになり、PLLの作用により等化信号6の標本点の位相は $P1$ にあるものとする。

【0050】ここで、適応イコライザ16では、等化信号6の自乗平均誤差が小さくなるように、等化信号6の標本点の位相が $P2$ に近づく方向に各タップ係数が制御される。すなわち、図9に示した適応イコライザ16の構成において、係数回路23の係数である $C(-1)$ 、係数回路22の係数である $C(-2)$ の重み(絶対値の大きさ)が大きくなり、係数回路25の係数である $C(1)$ 、係数回路26の係数である $C(2)$ の重みが小さくなる方向に変化する。その結果、等化信号6の標本点の位相は図4(a)の $P1$ から $P2$ の方向に向けて僅かながら変化する。

【0051】すると、直線55bで示したシフト位相誤

差信号43の値が零からずれるため、PLLの作用により等化信号6の標本点の位相が再びP1になるよう、クロック信号15の発振位相が制御される。

【0052】すると、適応イコライザ16では等化信号6の標本点の位相がP2に近づく方向に再び各タップ係数が制御され、タップ係数の値はC(-1)、C(-2)の重みがさらに大きくなり、C(1)、C(2)の重みがさらに小さくなる方向に変化する。その結果、等化信号6の標本点の位相は図10のP1からP2の方向に向けて再び僅かに変化する。

【0053】以下、PLLによるクロック信号15の発振位相の制御と適応イコライザ16のタップ係数の制御が同様な動作を繰り返すことにより、適応イコライザ16のタップ係数の重みの中心は、係数回路24の係数であるC(0)から係数回路23の係数であるC(-1)、係数回路22の係数であるC(-2)の方向へと移動していく。

【0054】ここで、適応イコライザ16のタップ係数の重みの中心が移動していくと、やがてタップ重心検出回路40において、これが検出され、タップ重心信号41は符号「0」から符号「-1」に変化する。その結果、前述した位相シフト回路42の動作により、シフト位相誤差信号43の特性は図4(a)の直線55bから直線55aに切り替わる。これにより、これまで等化信号6の標本点の位相をP1になるよう制御していたPLLは、今度は等化信号6の標本点の位相がP1-Δになるようクロック信号15の位相を制御する。

【0055】PLLの作用により等化信号6の標本点の位相がP1-Δになると、適応イコライザ16では等化信号6の標本点の位相がP1-ΔからP2に近づく方向に各タップ係数が制御される。このとき、タップ係数の値は、これまでとは逆にC(-1)、C(-2)の重みが小さくなり、C(1)、C(2)の重みが大きくなる方向に変化する。その結果、タップ係数の重みの中心のずれが再び所定の範囲以内に帰り、タップ重心検出回路40においてこれが検出されタップ重心信号41は符号「-1」から再び符号「0」に変化する。

【0056】すると、等化信号6の標本点の位相はPLLの作用により再びP1になり、適応イコライザ16のタップ係数の重みの中心は、再びC(-1)、C(-2)の方向へと移動していく。その結果、タップ重心信号41は再び符号「0」から符号「-1」に変化する。

【0057】すると、また再び等化信号6の標本点の位相はPLLの作用によりP1-Δとなり、今度は適応イコライザ16では等化信号6の標本点の位相がP1-ΔからP2に近づく方向に近づくよう、タップ係数の値はC(-1)、C(-2)の重みが小さくなり、C(1)、C(2)の重みが大きくなる方向に変化する。

【0058】以下、同様の動作の繰り返しとなる。すなわち、適応イコライザ16のタップ係数の重みの中心は、タップ重心信号41が符号「0」と符号「-1」に

なる前後を行き来し、それ以上にタップ係数の重みの中心がずれることはない。したがって、図8に示した従来例のように、適応イコライザ16のタップ係数の重みの中心が大きく移動してしまうことはなく、十分な等化を施すことができる。

【0059】一方、図4(b)のようにP2>P1の場合には、上記の説明から類推できるように、適応イコライザ16のタップ係数の重みの中心は、タップ重心信号41が符号「0」と符号「+1」になる前後を行き来し、それ以上にタップ係数の重みの中心がずれることはない。したがって、この場合においても、図8に示した従来例のように適応イコライザ16のタップ係数の重みの中心が大きく移動してしまうことはなく、十分な等化を施すことができる。

【0060】なお、クロック信号15がロックする位相は、等化信号6の標本点においてP1とP1-Δ、あるいはP1とP1+Δの間で振動する。しかし、Δの大きさはごく微小であるため、ビタビ復号器7におけるデータ検出に悪影響を及ぼすことはない。

【0061】以上のように本実施の形態では、適応イコライザ16のタップ係数の重みの中心は必ず所定の範囲内に収まり、その範囲を越えてタップ係数の重みの中心がずれて十分な等化を施すことができなくなることはない。また、適応等化後の信号から位相誤差を検出してクロック信号を発生するため、図7に示した従来例に比べて正確な位相同期が実現できる。さらに、標本化前にアナログ処理による等化は必要とせず、等化をディジタル処理のみで行う構成のため、等化の高精度化やLSI化が容易である。

【0062】なお、本実施の形態では適応イコライザを5タップの構成としたが、本発明はこれに限られるものではなく、より多くのタップ数、あるいはより少ないタップ数のトランスバーサル型フィルタで構成しても良い。また、本実施の形態では磁気記録媒体から再生された信号を扱うものとして説明したが、他の記録媒体からの再生信号、あるいは伝送路から受信した信号にも適用できる。さらに、本実施の形態では信号をパーシャルレスポンス等化するものとして説明したが、本発明はこれに限られるものではなく、任意の等化特性に適用できる。

【0063】(実施の形態2)次に、本発明の信号処理装置の実施の形態2について説明する。図5は、本発明の実施の形態2による信号処理装置のブロック図である。なお、先に図1に示した実施の形態1と同一構成で同一機能のブロックおよび同一機能の信号には、同じ符号を付した。この実施の形態2が、先の実施の形態1と異なる点は、適応フィルタのトランスバーサルフィルタ部をAD変換前にアナログ処理の形態で施すようにした点である。なお、トランスバーサルフィルタ部の各タップの適応制御は、AD変換後の信号に基づいて行う。以

下に、構成および動作について説明する。

【0064】図5に示す本実施の形態は、可変トランスバーサル型フィルタ手段としての可変フィルタ60、標準化手段としてのAD変換器17、適応制御手段としての適応制御回路63、位相誤差検出手段としての位相誤差検出回路9、タップ重心検出手段としてのタップ重心検出回路40、位相シフト手段としての位相シフト回路42、ループフィルタ手段としてのループフィルタ12、発振手段としての可変周波数発振回路(VCO)14を含む構成である。

【0065】図5において、磁気記録媒体から再生された再生信号1は可変フィルタ60に入力され、記録から可変フィルタ60の出力であるアナログ等化信号64に至るまでの系のインパルス応答が所定のパーシャルレスポンス特性となるよう等化する。この可変フィルタ60の構成を図6に示す。

【0066】図6の例では、可変フィルタ60を5タップのアナログ処理トランスバーサル型フィルタで構成している。再生信号1は、それぞれ1データ期間だけ遅延する遅延回路68、69、70、71により順次遅延される。係数回路72は、再生信号1に係数C(-2)を乗じる。また係数回路73は、遅延回路68の出力に係数C(-1)を乗じる。同様に、係数回路74は遅延回路69の出力に係数C(0)を、係数回路75は遅延回路70の出力に係数C(1)を、係数回路76は遅延回路71の出力に係数C(2)をそれぞれ乗じて出力する。加算回路77は、係数回路72〜76の出力の総和を求め、アナログ等化信号64として出力する。なお、係数回路72の係数値C(-2)は、タップ係数信号61aによって与えられる。同様に、係数回路73に対して係数C(-1)をタップ係数信号61bによって、係数回路74に対して係数C(0)をタップ係数信号61cによって、係数回路75に対して係数C(1)をタップ係数信号61dによって、そして係数回路76に対して係数C(2)をタップ係数信号61eによって与える。

【0067】さて図5に戻り、アナログ等化信号64は可変フィルタ60からAD変換器17に入力される。AD変換器17では、再生データに同期したクロック信号15のタイミングで標準化およびデジタル化し、等化信号6を出力する。等化信号6は、ビタビ復号器7に入力される。ビタビ復号器7は、ビタビアルゴリズムにより最尤復号を行い、記録媒体に記録されていたデジタル情報を検出して再生データ8として出力する。

【0068】また、等化信号6は適応制御回路63に入力される。適応制御回路63では、等化信号6の本来あるべき信号振幅からのずれの自乗平均誤差が最小になるよう可変フィルタ60の各タップ係数を適応的に制御する。このため、タップ係数信号29a、29b、29c、29d、29eをデジタル信号の形態で出力する。タップ係数信号29a、29b、29c、29dお

よび29eは、5チャンネルのDA変換器62に入力されてアナログ信号に変換され、それぞれタップ係数信号61a、61b、61c、61dおよび61eとして前述の可変フィルタ60に帰還される。これにより、可変フィルタ60は、記録媒体や再生ヘッドなどの経時変化などによる特性変化に伴う等化のずれが最小になるよう信号の状態に応じて適応的に再生信号1を等化し、アナログ等化信号64を出力する。また、タップ係数信号29a、29b、29c、29d、29eのうち中心のタップ係数であるC(0)を表す29cを除いた4つのタップ係数信号は、タップ重心検出回路40にも入力される。なお、適応制御回路63での適応制御の方法は、LMS (Least Mean Square) アルゴリズムとして広く知られているので詳細な説明は省略する。

【0069】さて、等化信号6は、位相誤差検出回路9にも入力される。位相誤差検出回路9では、等化信号6の標本点での位相誤差を検出し、位相誤差信号10を出力する。位相誤差信号10は、位相シフト回路42に入力される。また位相シフト回路42には、タップ重心信号41も入力されている。位相シフト回路42から出力されるシフト位相誤差信号43は、DA変換器11においてアナログ信号に変換され、ループフィルタ12において平滑されて発振周波数制御信号13が得られる。発振周波数制御信号13は、可変周波数発振回路14に入力される。可変周波数発振回路14は発振周波数制御信号13の電圧に応じた周波数で発振してクロック信号15を出力し、AD変換器17の標準化のためのクロックとして帰還される。ここで、AD変換器17、位相誤差検出回路9、位相シフト回路42、DA変換器11、ループフィルタ12、可変周波数発振回路14からなる帰還路はPLL回路を構成しており、クロック信号15は再生されたデータに位相同期したクロックとなる。

【0070】本実施の形態において、タップ重心検出回路40、位相誤差検出回路9、位相シフト回路42などの構成および動作は、先に説明した図1の実施の形態1と全く同じであるので詳細な説明を省略するが、可変フィルタ60のタップ係数の重みの中心は必ず所定の範囲内に収まり、その範囲を越えてタップ係数の重みの中心がずれて十分な等化を施すことができなくなることはない。また、可変フィルタ60による適応等化後の信号から位相誤差を検出してクロック信号を発生するため、図7に示した従来例に比べて正確な位相同期が実現できる。さらに、AD変換器17、位相誤差検出回路9、位相シフト回路42、DA変換器11、ループフィルタ12、可変周波数発振回路14で構成されるPLL回路の帰還ループ内にフィルタを含まない構成のため、ループ内の遅延時間が短くでき、このためPLLの位相同期過程の応答をより早くすることができるといった特徴がある。

【0071】なお、本実施の形態では適応フィルタを5

タップの構成としたが、本発明はこれに限られるものではなく、より多くのタップ数、あるいはより少ないタップ数のトランスバーサル型フィルタで構成しても良い。また、本実施の形態では磁気記録媒体から再生された信号を扱うものとして説明したが、他の記録媒体からの再生信号、あるいは伝送路から受信した信号にも適用できる。さらに、本実施の形態では信号をパーシャルレスポンス等化するものとして説明したが、本発明はこれに限られるものではなく、任意の等化特性に適用できる。

【0072】

【発明の効果】以上のように本発明によれば、適応等化後の信号から位相誤差を検出してクロック信号を発生することで正確な位相同期を実現するとともに、位相同期処理と適応等化処理の競合により等化特性が劣化してしまうことがない。また、適応等化をデジタル処理で行う構成にした場合には、等化の高精度化やLSI化が容易である。さらに、適応フィルタのトランスバーサルフィルタ部を標本化前に行う構成にした場合には、PLLのループ内の遅延時間が短くでき、このため位相同期過程の応答をより早くすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1による信号処理装置の構成を示すブロック図

【図2】同信号処理装置におけるタップ重心検出回路の構成を示すブロック図

【図3】同信号処理装置における位相シフト回路の構成を示すブロック図

【図4】同信号処理装置の動作を説明する特性図

【図5】本発明の実施の形態2による信号処理装置の構成を示すブロック図

【図6】同信号処理装置における可変フィルタの構成を示すブロック図

【図7】第1の従来例としての信号処理装置の構成を示すブロック図

【図8】第2の従来例としての信号処理装置の構成を示すブロック図

【図9】本発明の実施の形態1および第2の従来例における適応イコライザの構成を示すブロック図

【図10】第2の従来例の課題を説明する特性図

【符号の説明】

9 位相誤差検出回路

12 ループフィルタ

14 可変周波数発振回路

16 適応イコライザ

17 AD変換器

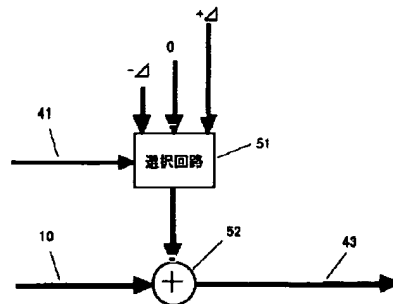
40 タップ重心検出回路

42 位相シフト回路

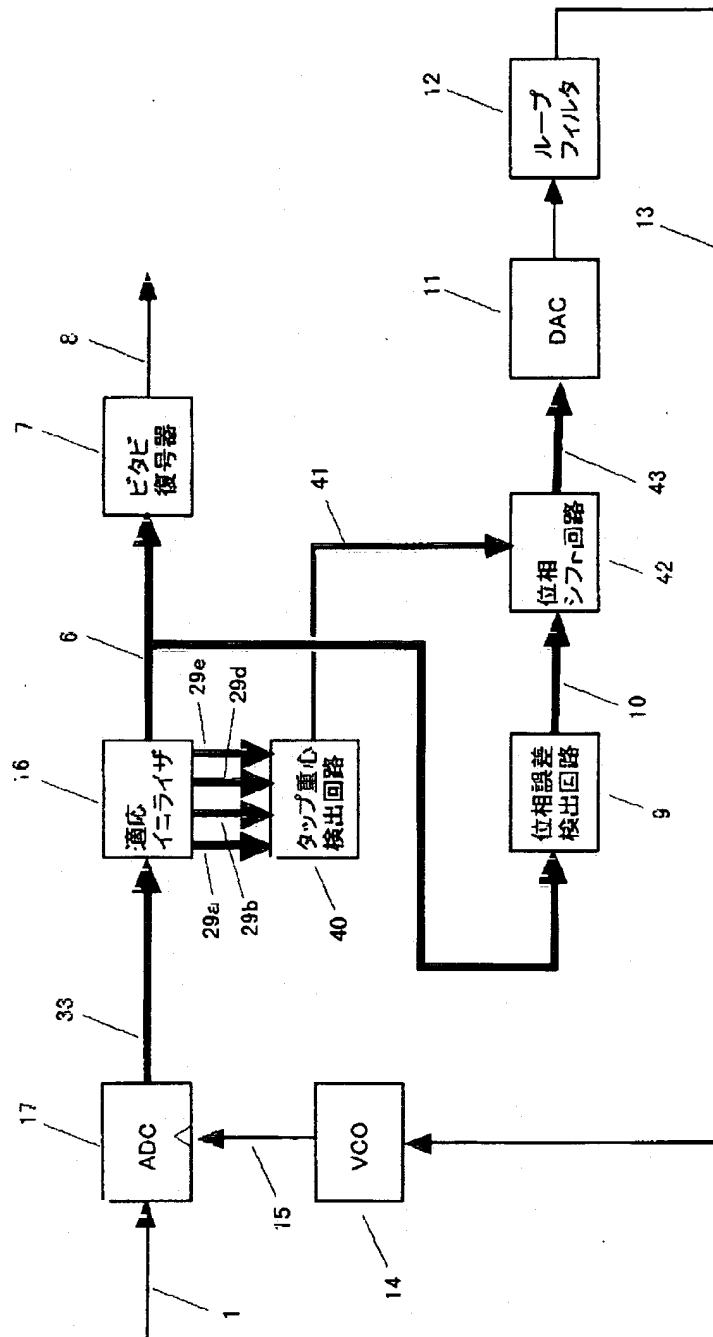
60 可変フィルタ

63 適応制御回路

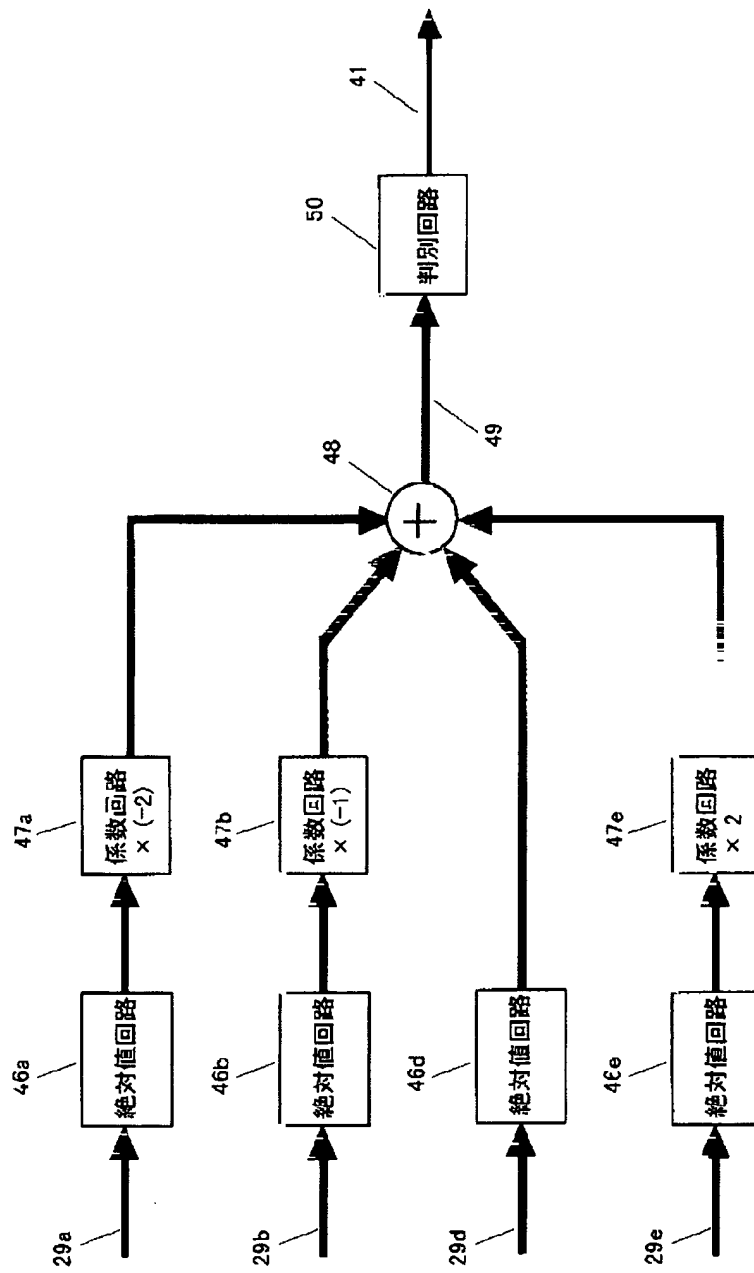
【図3】



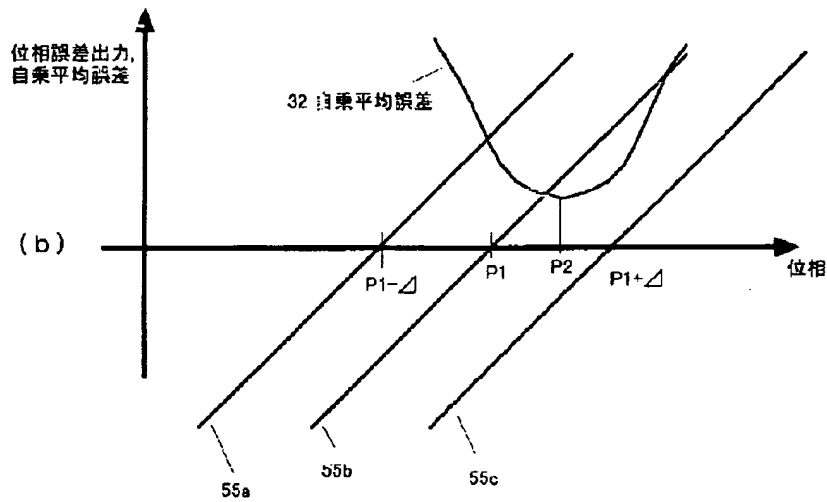
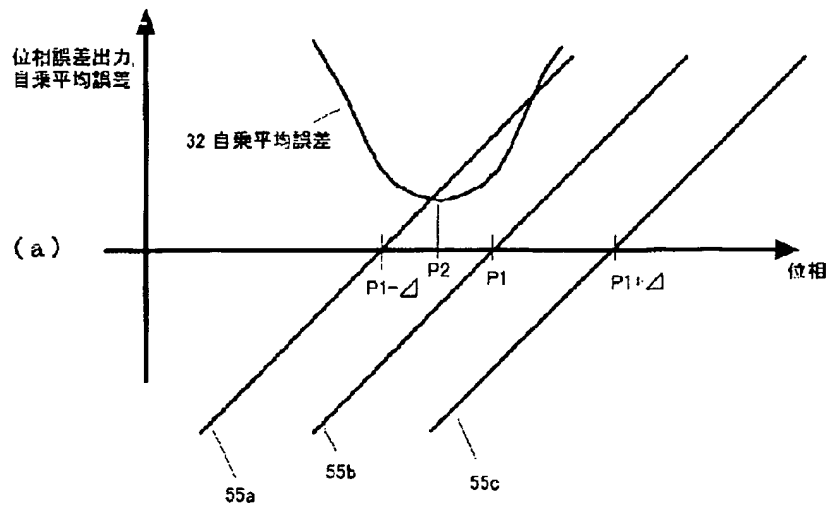
【図1】



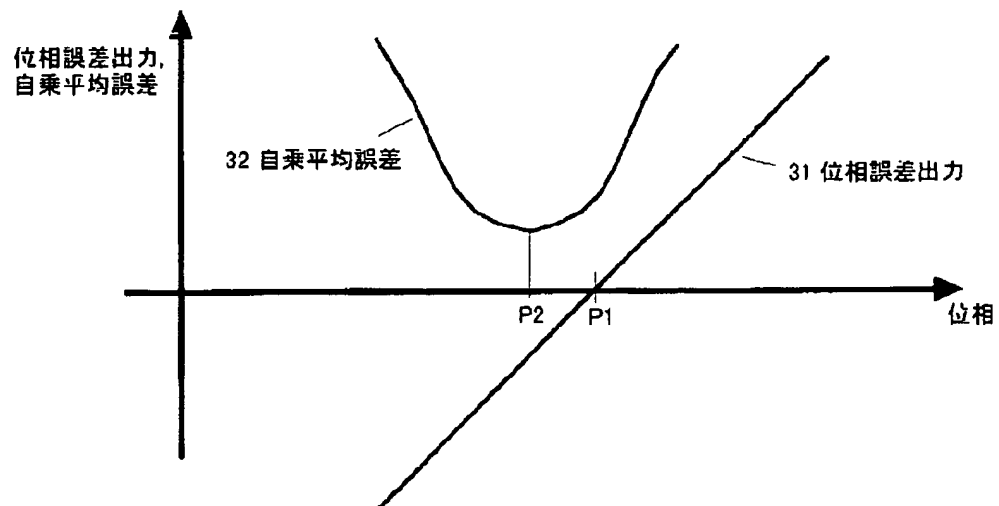
【図2】



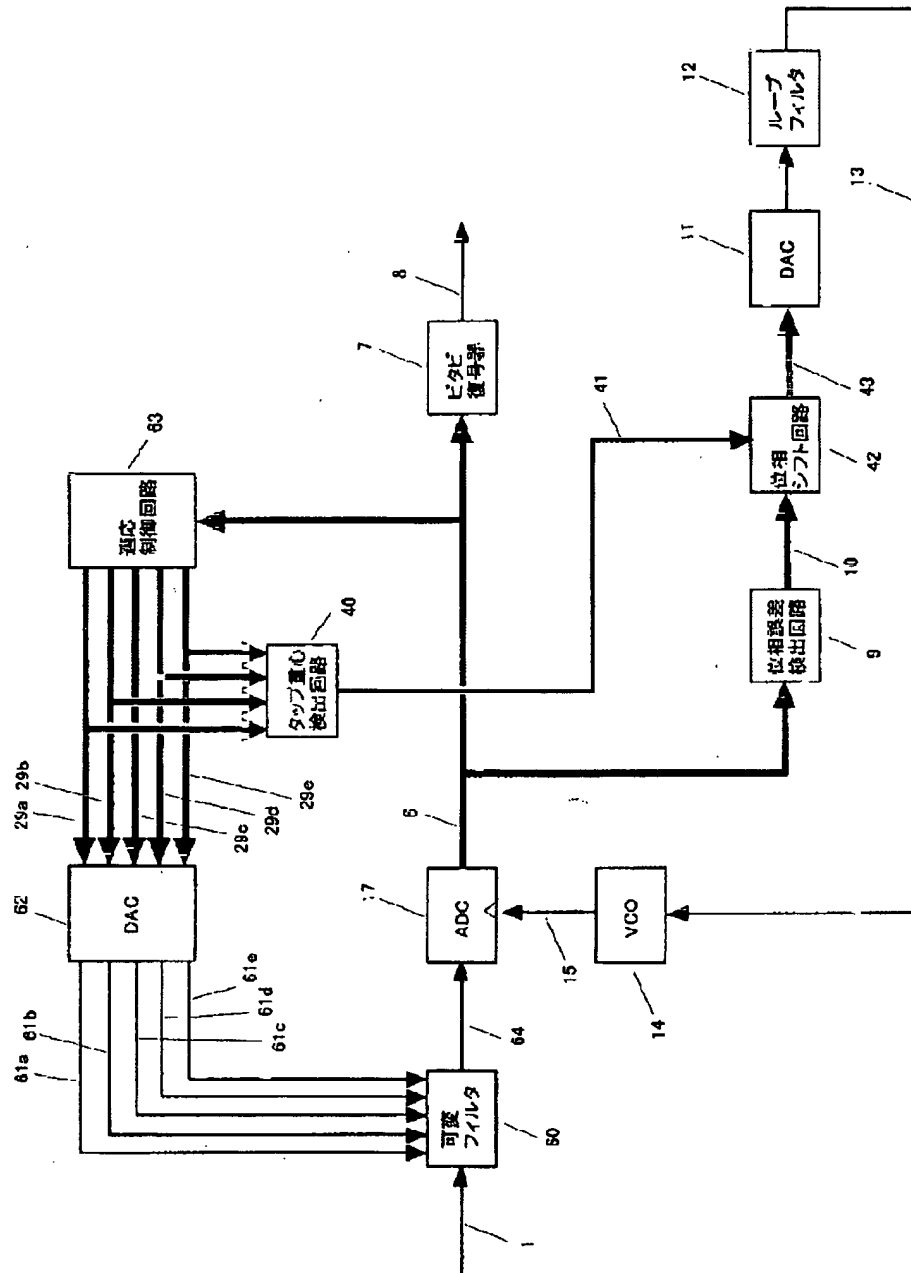
【図4】



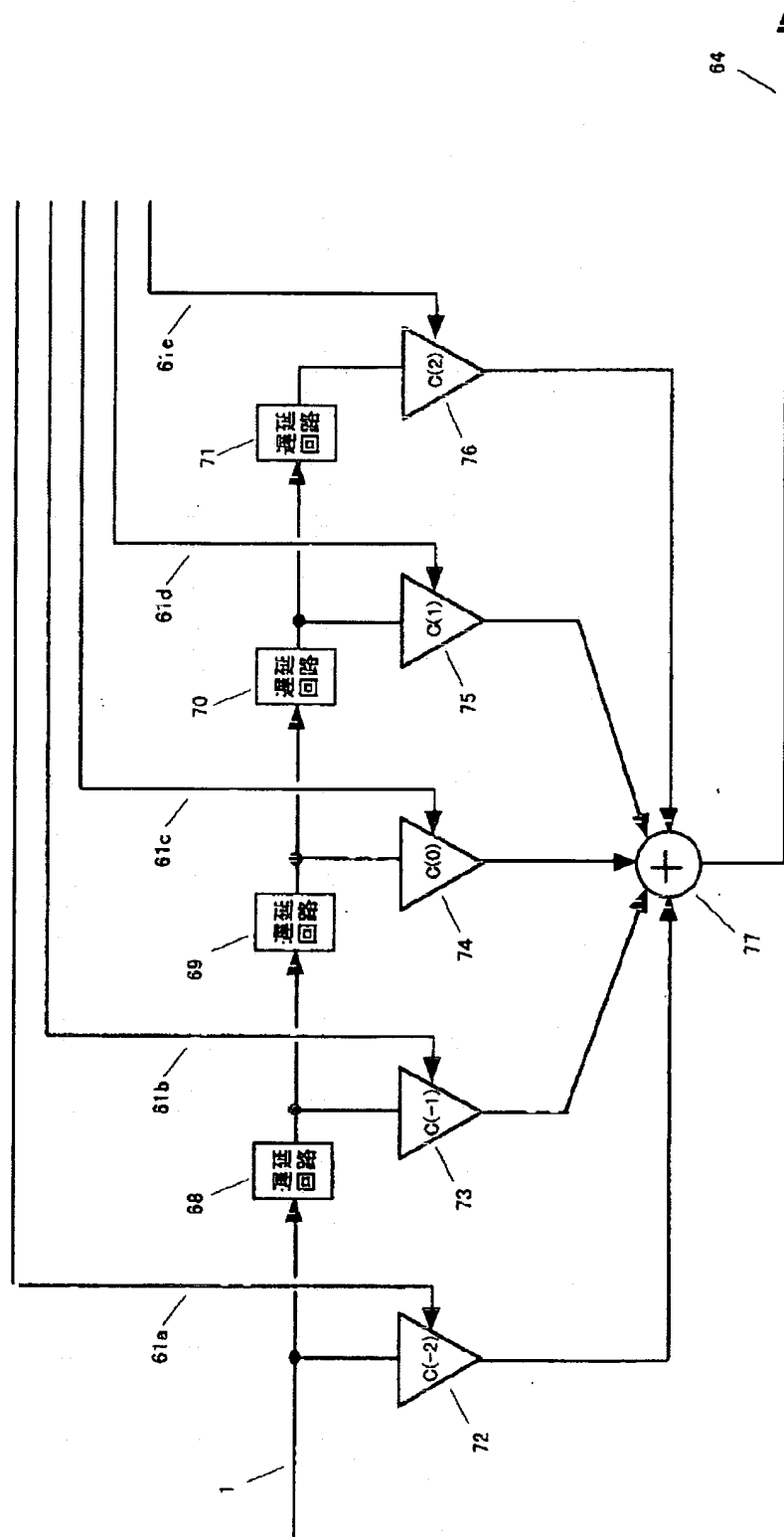
【図10】



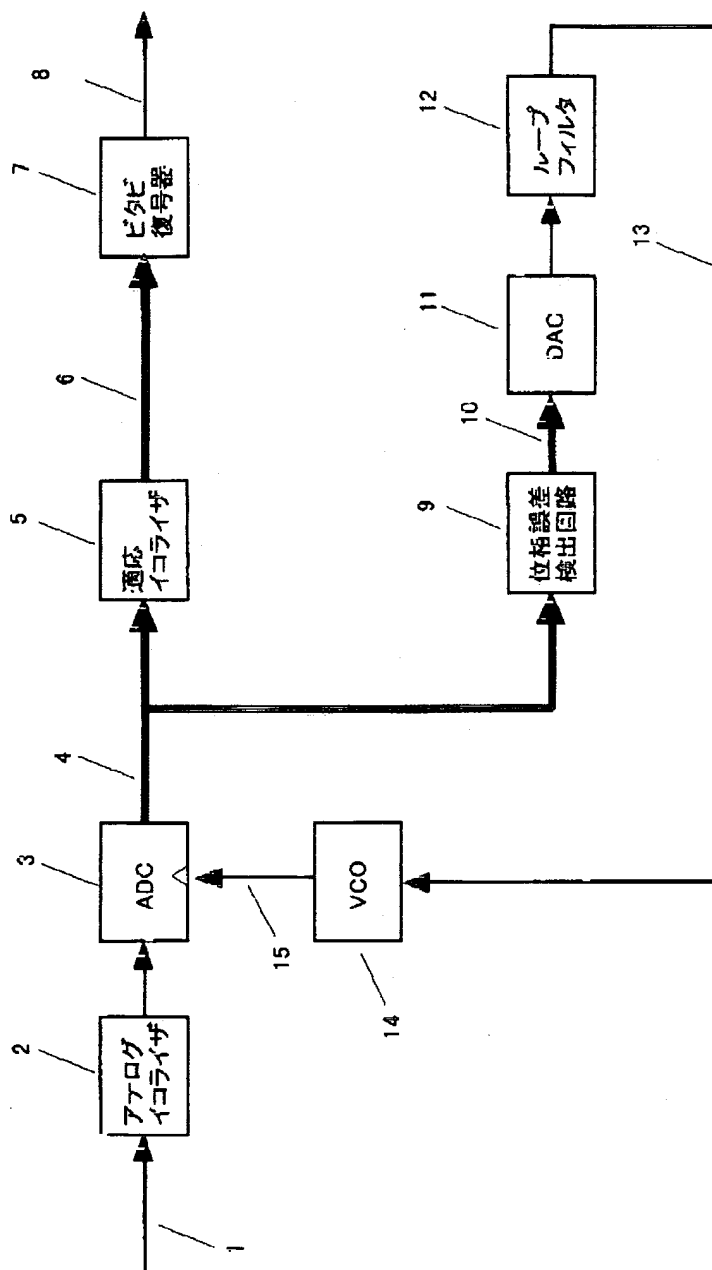
【図5】



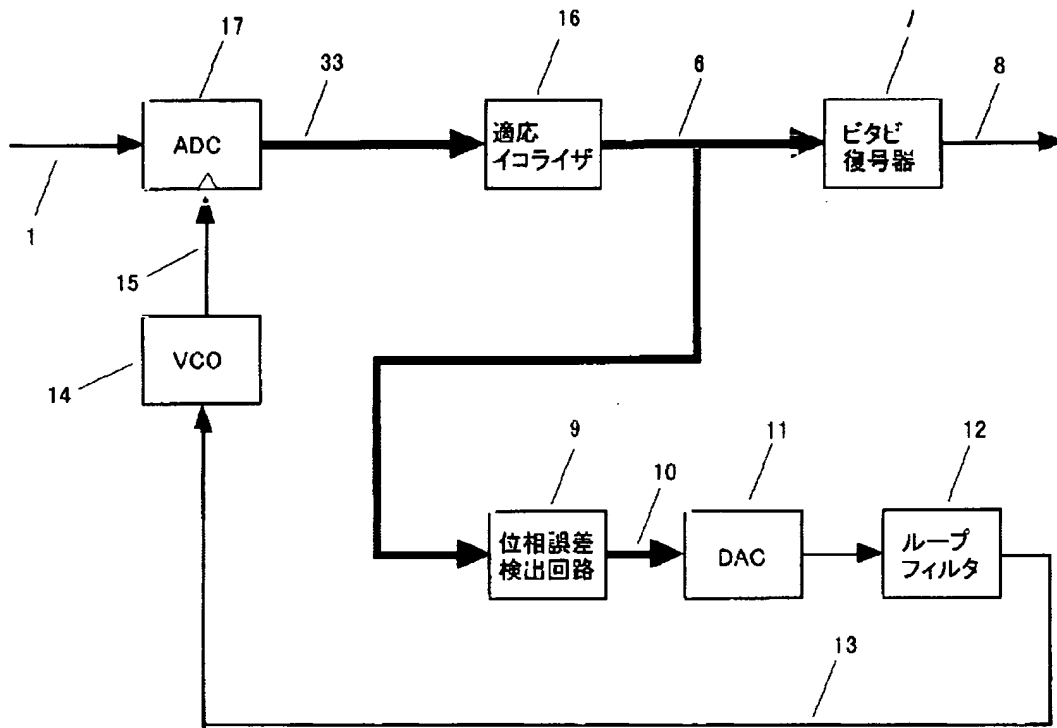
【図6】



【図7】



【図8】



【图 9】

